

Crearea modulelor parametrizate

Probleme propuse

Oprîtoiu Flavius
flavius.opritoiu@cs.upt.ro

October 25, 2024

Problema 1

Construiți un multiplexor 4-la-1 parametrizat, numit *mux_2s*. Modulul va fi parametrizat prin lățimea intrărilor de date și a ieșirii, având următoarea interfață:

```
1 module mux_2s #(
2     parameter w = 4           //width parameter
3 )(
4     input  [w-1:0] d0,d1,d2,d3, //4 data inputs
5     input  [1:0] s,           //selection input
6     output [w-1:0] o         //data output
7 );
```

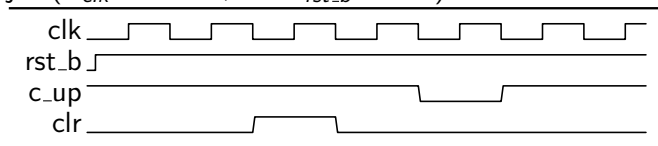
Implementați multiplexorul folosind drivere tri-state.

Problema 2

Construiți un numărător sincron, numit *counter*, parametrizat prin lățime și valoare inițială. Interfața numărătorului include (pe lângă *clk*) următoarele semnale:

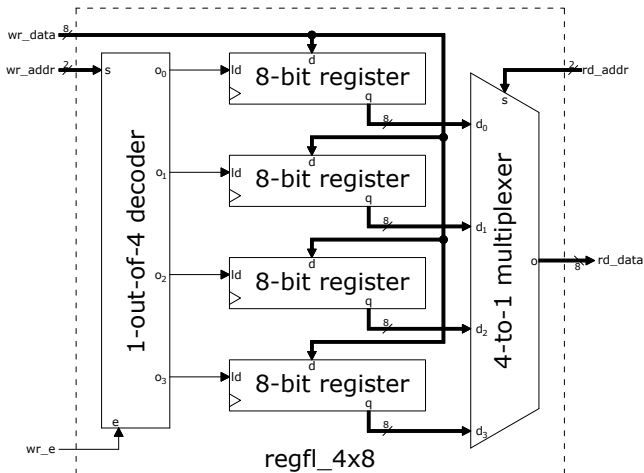
- *rst_b*, asincron, activ la 0, aduce conținutul la *valoarea inițială*
- *c_up*, sincron, activ la 1, incrementează conținutul
- *clr*, sincron, activ la 1, setează conținutul la *valoarea inițială*, având prioritate mai mare decât *c_up*
- *q*, ieșire, conținutul contorului

Parametrizați numărătorul cu lățimea de 8 biți și valoare inițială de 8'hff. Verificați modulul conform semnalelor din diagrama de mai jos ($T_{clk} = 100ns$, $Pulse_{rst_b} = 5ns$):



Problema 3

Construiți arhitectura register file-ului 4x8 de mai jos



Liniile de tact și reset au fost omise pentru lizibilitate.

Notă: Codul Verilog al unui registru cu încărcare paralelă parametrizabil prin lățime este disponibil

[▶ aici](#)

Problema 3 (contin.)

Register file-ul 4×8 va avea următoare interfață:

```
1 module regfl_4x8 (  
2     input  clk ,  
3     input  rst_b , //asynch  
4     input  [7:0] wr_data ,  
5     input  [1:0] wr_addr ,  
6     input  wr_e ,  
7     output [7:0] rd_data ,  
8     input  [1:0] rd_addr  
9 );
```

Register file-ul nu are intrare de activare a citirii, rd_e , aceasta însemnând că la orice moment de timp. unul din ele 4 registre interne va fi furnizat la ieșirea rd_data .

Problema 3 (contd.)

Testați unitatea register file 4×8 cu un testbench care generează intrările ca în diagrama de mai jos ($T_{clk} = 100ns$, $Pulse_{rst_b} = 5ns$)

