

Implementarea mașinilor cu stări finite în Verilog

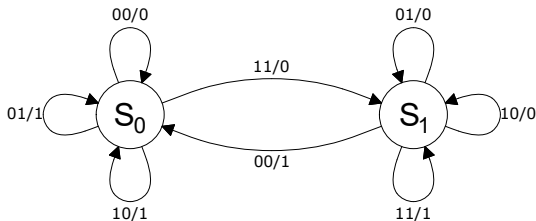
Probleme propuse

Oprîtoiu Flavius
flavius.opritoiu@cs.upt.ro

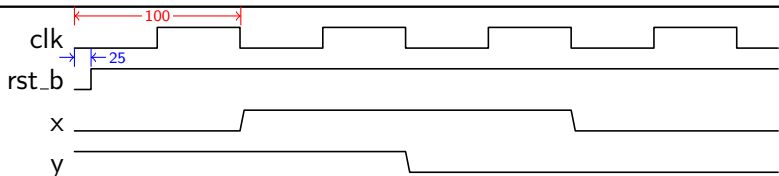
October 31, 2024

Problema 1

Construiți sumatorul serial, *sadd*, descris în diagrama de tranziții de mai jos:



Construiți un testbench pentru adunarea operanzilor pe 4-biți $X = 0110_2$ și $Y = 0011_2$, generând intrările ca în diagrama de timp următoare:



Problema 2

construiți un detector de tipare, *patt*, având o intrare *i* de 1 bit și o ieșire *o* de 1 bit, capabil să detecteze la intrare secvența binară 1011. Secvența poate fi primită în manieră suprapusă (e.g. pentru secvența de intrare 1011011, ieșirea se activează de două ori).

Construiți diagrama tranzițiilor de stare a mașinii și implementați-o.

Construiți un testbench și generați intrările ca în diagrama de timp următoare:

